

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Se-Hoon Oh et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: , INTEGRATED CIRCUITS DEVICES HAVING PAD CONTACT PLUGS IN THE
CELL ARRAY AND PERIPHERAL CIRCUIT REGIONS OF THE INTEGRATED
CIRCUIT SUBSTRATE AND METHODS OF FORMING THE SAME

Date: April 13, 2004

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2003-27556, filed April 30, 2003.

Respectfully submitted,



Elizabeth A. Stanek
Registration No. 48,568

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 381442070 US
Date of Deposit: April 13, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Candi L. Riggs



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0027556
Application Number

출원 년 월 일 : 2003년 04월 30일
Date of Application APR 30, 2003

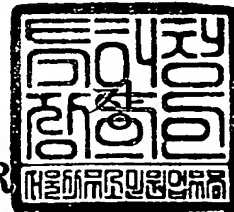
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.04.30
【발명의 명칭】	반도체 소자 및 그 형성 방법
【발명의 영문명칭】	Semiconductor device and method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	오세훈
【성명의 영문표기】	OH, SE-HOON
【주민등록번호】	750503-1476211
【우편번호】	336-862
【주소】	충청남도 아산시 음봉면 동천1리 176번지
【국적】	KR
【발명자】	
【성명의 국문표기】	김성태
【성명의 영문표기】	KIM, SUNG-TAE
【주민등록번호】	601227-1002238
【우편번호】	137-071
【주소】	서울특별시 서초구 서초1동 현대아파트 20동 805호
【국적】	KR

【발명자】

【성명의 국문표기】 유차영
 【성명의 영문표기】 YOO,CHA-YOUNG
 【주민등록번호】 641217-1254226
 【우편번호】 441-460
 【주소】 경기도 수원시 권선구 금곡동 530 LG빌리지 203동 1302호
 【국적】 KR

【발명자】

【성명의 국문표기】 정정희
 【성명의 영문표기】 CHUNG, JUNG-HEE
 【주민등록번호】 680609-2010311
 【우편번호】 130-010
 【주소】 서울특별시 동대문구 청량리동 57-5
 【국적】 KR

【발명자】

【성명의 국문표기】 최재형
 【성명의 영문표기】 CHOI, JAE-HYOUNG
 【주민등록번호】 711001-1231755
 【우편번호】 423-014
 【주소】 경기도 광명시 광명4동 108동 2404호
 【국적】 KR

【발명자】

【성명의 국문표기】 최정식
 【성명의 영문표기】 CHOI, JEONG-SIK
 【주민등록번호】 720228-1036510
 【우편번호】 120-191
 【주소】 서울특별시 서대문구 북아현1동 삼익아파트 A동 412호
 【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의
 한 출원심사 를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 15 면 15,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 18 항 685,000 원

【합계】 729,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

누설전류를 억제할 수 있는 반도체 소자 및 그 형성 방법이 개시된다. 이 반도체 소자는 주변회로 영역에서 저항소자의 일부분과 접속하는 차례로 적층된 오믹층과, 메탈콘택플러그에 비해 단차가 매우 낮은 패드콘택플러그를 구비하되 상기 오믹층과 상기 패드콘택플러그는 셀 어레이 영역에 위치하는 커패시터보다 낮은 층에 형성된다. 따라서, 후속공정에서 셀 어레이 영역에서 커패시터와 같은 여러 소자를 형성한 다음에 주변회로 영역에서 메탈콘택플러그를 형성하더라도 셀 어레이 영역의 여러 소자들이 열화되지 않는다.

【대표도】

도 2

【색인어】

오믹층, 커패시터, 메탈콘택

【명세서】**【발명의 명칭】**

반도체 소자 및 그 형성 방법{Semiconductor device and method of forming the same}

【도면의 간단한 설명】

도 1은 종래기술에 따른 반도체 제조 과정의 일부분을 나타내는 공정단면도이다.

도 2는 본 발명의 바람직한 실시예에 따른 반도체 소자의 단면도를 나타낸다.

도 3 내지 도 10은 본 발명의 바람직한 실시예에 따른 반도체 제조 과정을 순차적으로 나타내는 공정단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <4> 본 발명은 반도체 소자 및 그 형성 방법에 관한 것으로, 좀 더 상세하게는 저항소자를 구비하는 반도체 소자 및 그 형성 방법에 관한 것이다.
- <5> 반도체 소자에 있어서 저항 소자는 주로 불순물이 도핑된 폴리실리콘으로 형성된다. 왜냐하면 불순물의 도핑 농도에 따라 저항을 조절하기가 쉽기 때문이다.
- <6> 도 1은 종래기술에 따른 반도체 제조 과정의 일부분을 나타내는 공정단면도이다.
- <7> 도 1을 참조하면, 반도체 기판(1) 상에 하부층간절연막(3)을 적층한다. 셀 어레이 영역(A)에서 상기 하부층간절연막(3)을 패터닝하여 상기 반도체 기판(1)을 노출시키는 콘택홀을 형성하고 도전물질로 채워 매몰콘택플러그(5)를 형성한다. 상기 매몰콘택플러그(5)와 상기 하부층간절연막(3) 상에 제 1 식각저지막(7) 및 제 1 층간절연막(9)을 차례로 적층한다. 상기 셀

어레이 영역(A)에서 상기 제 1 층간절연막(9)과 상기 제 1 식각저지막(7)을 차례로 패터닝하여 상기 매몰콘택플러그(5)를 노출시키는 패드콘택홀을 형성한다. 이때, 상기 주변회로 영역(B)에서 상기 제 1 층간절연막은 패터닝되어 모두 제거될 수 있다. 상기 패드콘택홀을 도전물질로 채워 패드콘택플러그(11)를 형성한다. 상기 주변회로 영역(B)에서는 도전물질을 모두 제거하여 상기 하부층간절연막(3)을 노출시킨다. 상기 반도체 기판 전면에 불순물이 도핑된 폴리실리콘막을 형성하고 패터닝하여 상기 주변회로 영역(B)에 저항소자(15)를 형성한다. 이때 상기 셀 어레이 영역(A)에서 상기 불순물이 도핑된 폴리실리콘막은 모두 제거되어 상기 제 1 층간절연막(9)과 상기 패드콘택플러그(11)는 노출된다. 상기 저항소자(15)가 형성된 반도체 기판의 전면 상에 제 2 식각저지막(17)을 형성한다. 상기 제 2 식각저지막(17)을 관통하여 상기 패드콘택플러그(11)과 전기적으로 접속하는 하부전극(18)을 형성한다. 상기 하부전극의 프로파일을 따라 유전막(19)과 상부전극(21)을 콘포말하게 형성하여 커패시터를 완성한다. 패터닝 과정을 통해 상기 주변회로 영역(B)에서 적어도 상부전극막을 완전히 제거한다. 상기 커패시터와 제 2 식각저지막(17)을 덮도록 제 2 층간절연막을 적층한다. 상기 주변회로 영역(B)에서 상기 제 2 층간절연막 및 상기 제 2 식각저지막을 차례로 패터닝하여 상기 저항소자의 일부를 노출시키는 메탈콘택홀(24)을 형성한다. 상기 메탈콘택홀(24)에 금속으로 메탈콘택플러그를 형성하기 전에, 금속과 폴리실리콘 간의 저항 차이를 극복하기 위하여 오믹층(26)이 필요하다. 이를 위해 티타늄과 같은 금속막(25)을 콘포말하게 적층하고, 600℃ 이상의 온도에서 급속열처리를 진행한다. 이때, 상기 저항소자(15)의 폴리실리콘과 상기 금속막(25)이 서로 반응하여 티타늄 실리사이드와 같은 금속실리사이드로 이루어지는 오믹층(26)이 형성된다. 그러나, 상기 오믹층(26)을 형성하기 위해 600℃ 이상의 온도에서 급속열처리에 의해 상기 셀 어레이 영역(A)에서 상기 커패시터의 유전막(19)등이 열화되어 후속의 소자 동작시 누설전류가 증가한다.

<8> 이와 같이, 주변회로 영역에서 폴리실리콘으로 이루어지는 저항소자가 형성된 상태에서 셀 어레이 영역에서 커패시터와 같은 여러 소자를 형성하고, 후속으로 주변회로 영역에서 상기 저항소자에 전압을 인가하기 위한 메탈콘택플러그를 단차가 매우 크게 한번에 형성하고자 하면 오믹층 형성을 위해 600℃ 이상의 고온의 공정이 요구되므로 셀 어레이 영역에 위치하는 커패시터와 같은 여러 소자들이 열화되어 반도체 소자의 신뢰도가 감소할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<9> 상기 문제점을 해결하기 위하여, 본 발명의 기술적 과제는 누설전류를 억제하고 반도체 소자의 신뢰도를 향상시킬 수 있는 반도체 소자를 제공하는데 있다.

<10> 본 발명의 다른 기술적 과제는 누설전류를 억제하고 반도체 소자의 신뢰도를 향상시킬 수 있는 반도체 소자의 형성 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<11> 따라서, 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체 소자는 주변회로 영역에서 저항소자의 일부분과 접속하는 차례로 적층된 오믹층과, 메탈콘택플러그에 비해 단차가 매우 낮은 패드콘택플러그를 구비하는 것을 특징으로 한다.

<12> 셀 어레이 영역과 주변회로 영역을 구비하는 반도체 기판, 상기 반도체 기판을 덮는 하부층간절연막, 상기 셀 어레이 영역에서 상기 하부층간절연막을 관통하여 상기 반도체 기판과 전기적으로 접속하는 매몰콘택플러그, 상기 주변회로 영역에서 상기 하부층간절연막 상에 형성된 저항소자, 상기 매몰콘택플러그, 상기 저항소자 및 상기 하부층간절연막을 덮는 제 1 층간절연막, 상기 셀 어레이 영역에서 상기 제 1 층간절연막을 관통하여 상기 매몰콘택플러그와 전기적으로 접속하는 제 1 패드콘택플러그, 상기 주변회로 영역에서 상기 제 1 층간절연막을 관

통하여 상기 저항소자와 전기적으로 접속하는 제 2 패드콘택플러그, 상기 제 1 패드콘택플러그와 상기 매몰콘택플러그 사이 및 상기 제 2 패드콘택플러그와 상기 저항소자 사이에 각각 개재된 오믹층, 상기 셀 어레이 영역에서 상기 제 1 패드콘택플러그와 전기적으로 접하며 하부전극, 유전막 및 상부전극을 구비하는 커패시터, 상기 커패시터 및 상기 제 1 층간절연막을 덮는 제 2 층간절연막, 및 상기 주변회로 영역에서 상기 제 1 층간절연막을 관통하여 상기 제 2 패드콘택플러그와 전기적으로 접하는 메탈콘택플러그를 구비한다.

<13> 상기 제 1 패드콘택플러그와 상기 제 1 층간절연막 및 상기 매몰콘택플러그의 사이, 및 상기 제 2 패드콘택플러그와 상기 제 1 층간절연막 및 상기 저항소자의 사이에 제 1 접착막이 개재될 수 있다. 상기 메탈콘택플러그와 상기 제 1 층간절연막 및 상기 메탈콘택플러그 사이에 제 2 접착막이 개재될 수 있다.

<14> 상기 제 1 층간절연막과 상기 제 2 층간절연막 사이에 식각저지막이 개재될 수 있다. 상기 반도체 소자에서 상기 저항소자는 불순물이 도핑된 폴리실리콘으로 이루어질 수 있다. 상기 오믹층은 바람직하게는 티타늄실리사이드($TiSi_x$), 탄탈륨실리사이드($TaSi_y$), 코발트실리사이드($CoSi_z$) 및 니켈실리사이드($NiSi_w$)를 포함하는 그룹에서 선택되는 하나로 이루어진다. 상기 제 1 접착막 및 제 2 접착막은 바람직하게는 티타늄질화막(TiN)으로 이루어진다. 상기 패드콘택플러그 및 상기 메탈콘택플러그는 바람직하게는 텅스텐(W), 알루미늄(Al) 및 구리(Cu)를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어진다.

<15> 본 발명의 다른 기술적 과제를 달성하기 위하여, 본 발명의 반도체 소자의 형성 방법은 셀 어레이 영역에서 커패시터를 형성하기 전에 주변회로 영역에서 저항소자의 일부분과 접속하는 차례로 적층된 오믹층과, 메탈콘택플러그에 비해 단차가 매우 낮은 패드콘택플러그를 형성하는 것을 특징으로 한다.

<16> 좀 더 상세하게, 상기 방법은 다음과 같다. 먼저, 반도체 기판에 셀 어레이 영역 및 주변회로 영역을 한정한다. 상기 반도체 기판에 하부층간절연막을 적층한다. 상기 하부층간절연막을 패터닝하여 상기 셀 어레이 영역에 반도체 기판을 노출시키는 콘택홀을 형성한다. 상기 콘택홀이 형성된 상기 반도체 기판 상의 전면에서 제 1 도전막을 적층하여 상기 콘택홀을 채운다. 상기 제 1 도전막을 패터닝하여 상기 셀 어레이 영역에 상기 콘택홀을 채우는 매몰콘택플러그를 형성하는 동시에 상기 주변회로 영역에 상기 하부층간절연막 상에 저항소자를 형성한다. 상기 매몰콘택플러그 및 상기 저항소자가 형성된 반도체 기판을 덮는 제 1 층간절연막을 형성한다. 상기 제 1 층간절연막을 패터닝하여 상기 매몰콘택플러그를 노출시키는 제 1 패드콘택홀을 형성하는 동시에 상기 저항소자를 부분적으로 노출시키는 제 2 패드콘택홀을 형성한다. 상기 제 1 및 제 2 패드콘택홀들의 적어도 바닥을 덮도록 오믹층(ohmic layer)을 형성한다. 제 2 도전막을 적층하여 상기 제 1 및 제 2 패드콘택홀들을 채운다. 상기 제 2 도전막에 대하여 평탄화 공정을 실시하여 상기 제 1 층간절연막을 노출시키는 동시에 상기 제 1 및 제 2 패드콘택홀들 안에 제 2 도전막으로 이루어지는 제 1 및 제 2 패드콘택플러그들을 각각 형성한다. 상기 제 1 및 제 2 패드콘택플러그들 및 상기 제 1 층간절연막을 덮는 식각 저지막을 형성한다. 상기 식각 저지막을 관통하여 상기 제 1 패드콘택플러그와 전기적으로 접속하되 하부전극, 유전막, 및 상부전극을 구비하는 커패시터를 형성한다. 상기 반도체 기판의 전면 상에 제 2 층간절연막을 적층한다. 상기 주변회로 영역에서 상기 제 2 층간절연막을 패터닝하여 상기 제 2 패드콘택플러그를 노출시키는 메탈콘택홀을 형성한다. 제 3 도전막으로 상기 메탈콘택홀을 채워 메탈콘택플러그를 형성한다.

<17> 상기 방법에 있어서, 상기 제 2 층간절연막을 형성하기전에 식각저지막이 형성될 수 있다. 상기 제 1 도전막은 바람직하게는 불순물이 도핑된 폴리실리콘으로 형성된다. 상기 오믹층

은, 적어도 상기 패드콘택홀의 적어도 바닥을 덮는 금속막을 형성하고 상기 금속막에 대하여 금속 열처리 공정을 실시함으로써 상기 저항소자와 상기 금속막의 경계에 형성될 수 있다. 이때, 상기 금속열처리 공정은 600~900℃ 온도에서 10~30초 동안 진행될 수 있다. 상기 오믹층은 바람직하게는 티타늄실리사이드($TiSi_x$), 탄탈륨실리사이드($TaSi_y$), 코발트실리사이드($CoSi_z$) 및 니켈실리사이드($NiSi_w$)를 포함하는 그룹에서 선택될 수 있다. 상기 제 2 도전막을 적층하기 전에, 상기 패드콘택홀의 측벽과 바닥을 덮는 제 1 접착막을 형성하고, 상기 제 3 도전막을 적층하기 전에, 상기 메탈콘택홀의 측벽과 바닥을 덮는 제 2 접착막을 형성할 수 있다. 이때 상기 제 1 및 제 2 접착막은 바람직하게는 티타늄질화막(TiN)으로 형성될 수 있다. 상기 제 2 도전막 및 상기 제 3 도전막은 바람직하게는 텅스텐(W), 알루미늄(Al) 및 구리(Cu)를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다.

<18> 상기 반도체 소자 및 그 형성 방법에 따르면, 주변회로 영역에서 저항소자의 일부분과 접속하는 차례로 적층된 오믹층과, 메탈콘택플러그에 비해 단차가 매우 낮은 패드콘택플러그가 형성되므로, 후속공정에서 셀 어레이 영역에서 커패시터와 같은 여러 소자를 형성한 다음에 주변회로 영역에서 메탈콘택플러그를 형성하더라도 셀 어레이 영역의 여러 소자들이 열화되지 않는다. 또한, 주변회로의 저항소자와 셀 어레이 영역의 메탈콘택플러그가 동일한 물질로 동시에 형성되므로 공정이 단순해질 수 있다.

<19> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서



전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타내며, A는 셀 어레이 영역을, B는 주변회로 영역을 나타낸다.

<20> 도 2는 본 발명의 바람직한 실시예에 따른 반도체 소자의 단면도를 나타낸다.

<21> 도 2를 참조하면, 상기 셀 어레이 영역(A)과 상기 주변회로 영역(B)을 구비하는 반도체 기판(100) 상에 하부층간절연막(102)이 있다. 상기 셀 어레이 영역(A)에서 상기 하부층간절연막(102)을 관통하여 상기 반도체 기판(100)을 노출시키는 콘택홀(104)이 있다. 매몰콘택플러그(Buried contact plug, 106a)는 상기 콘택홀(104)을 채우며 상기 반도체 기판(100)과 전기적으로 접속한다. 상기 매몰콘택플러그(106a)는 상기 콘택홀(Buried contact hole, 104)안에만 남거나 상기 콘택홀(104) 밖에까지 돌출되어 상기 하부층간절연막(102)을 일부 덮을 수 있다. 상기 주변회로 영역(B)에서 상기 하부층간절연막(102) 상에 저항소자(108)가 위치한다. 상기 저항소자(108)와 상기 매몰콘택플러그(106a)는 동일한 물질로 이루어질 수 있으며, 바람직하게는 불순물이 도핑된 폴리실리콘으로 이루어질 수 있다. 제 1 식각저지막(110)은 상기 저항소자(108), 상기 매몰콘택플러그(106a) 및 상기 하부층간절연막(102)을 콘포말하게 덮는다. 제 1 층간절연막(112)은 상기 제 1 식각저지막(110)을 덮는다. 상기 셀 어레이 영역(A)에서는 상기 제 1 층간절연막(112)과 상기 제 1 식각저지막(110)을 차례로 관통하여 상기 매몰콘택플러그(106a)를 노출시키는 제 1 패드콘택홀(113a)이 있다. 상기 주변회로 영역(A)에는 상기 제 1 층간절연막(112)과 상기 제 1 식각저지막(110)을 차례로 관통하여 상기 저항소자(108)를 노출시키는 제 2 패드콘택홀(113b)이 있다. 상기 제 1 및 제 2 패드콘택홀들(113a, 113b)의 측벽은 금속막(114)으로 덮이며, 상기 상기 제 1 및 제 2 패드콘택홀들(113a, 113b)의 바닥은 오믹층(115)으로 덮인다. 상기 금속막(114) 및 상기 오믹층(115)은 제 1 접착막(116)으로 덮인다. 상기 금속막(114)은 바람직하게는 티타늄(Ti), 탄탈륨(Ta), 코발트

(Co) 및 니켈(Ni)을 포함하는 그룹에서 선택되는 하나의 금속으로 이루어지며, 상기 오믹층(115)은 상기 선택되는 하나의 금속의 실리사이드로 이루어진다. 상기 제 1 및 제 2 패드콘택홀들(113a, 113b)은 각각 제 1 및 제 2 패드콘택플러그(118a, 118b)로 채워진다. 상기 제 1 층간절연막(112) 및 상기 제 1 및 제 2 패드콘택플러그(118a, 118b)는 제 2 식각저지막(120)에 의해 덮인다. 상기 제 1 및 제 2 식각저지막(110, 120)은 실리콘질화막으로 이루어질 수 있다. 도시하지는 않았지만, 상기 제 2 식각저지막(120)을 덮는 습식식각저지막(미도시)이 추가될 수 있다. 상기 습식식각저지막은 탄탈륨산화막으로 이루어질 수 있다. 상기 셀 어레이 영역(A)에서 제 2 식각저지막(120)을 관통하여 상기 제 1 패드콘택플러그(118a)와 전기적으로 접속하는 하부전극(128a)이 실린더 형태를 갖는다. 상기 셀 어레이 영역(A)에서 상기 하부전극(128a)의 프로파일을 따라 콘포말하게 유전막(130) 및 상부전극(132)이 위치하여 커패시터를 이룬다. 상기 하부전극(128a)과 상기 상부전극(132)은 티타늄 질화막으로 이루어질 수 있다. 상기 유전막(130)은 하프늄산화막으로 이루어질 수 있다. 상기 커패시터의 상기 상부전극(132)은 텅스텐으로 이루어지는 캐핑막으로 덮일 수 있다. 상기 셀 어레이 영역(A)에서 상기 커패시터를 덮고 상기 주변회로 영역(B)에서 상기 제 2 식각저지막(120)을 덮도록 제 2 층간절연막(134)이 있다. 상기 주변회로 영역(B)에서 상기 제 2 층간절연막(134) 및 상기 제 2 식각저지막(120)을 관통하여 상기 제 2 패드콘택플러그(118b)를 노출시키는 메탈콘택홀(136)이 위치한다. 상기 메탈콘택홀(136)의 측벽과 바닥은 제 2 접착막(138)으로 덮인다. 상기 제 1 접착막(116) 및 제 2 접착막(138)은 바람직하게는 티타늄 질화막으로 이루어진다. 상기 메탈콘택홀(136)은 메탈콘택플러그(140)에 의해 채워진다. 상기 제 1 및 제 2 패드콘택플러그(118a, 118b), 그리고 상기 메탈콘택플러그(140)은 바람직하게는 텅스텐(W), 알루미늄(Al) 및 구리(Cu)를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어진다.

- <22> 따라서, 상기 구조 주변회로 영역에서 상기 커패시터보다 낮은 층에 차례로 적층된 오믹층(115)과 패드콘택플러그(118a, 118b)를 구비하므로, 600℃ 이상의 높은 공정온도를 필요로 하는 오믹층(115)을 먼저 형성할 수 있어 후속에서 커패시터와 같은 여러 소자를 형성한다 할지라도 누설전류와 같이 반도체 소자의 신뢰도의 저하를 방지할 수 있다.
- <23> 도 3 내지 도 10은 본 발명의 바람직한 실시예에 따른 도 2의 반도체 소자를 형성하는 방법을 순차적으로 나타내는 공정단면도들이다.
- <24> 도 3을 참조하면, 반도체 기판(100)을 셀 어레이 영역(A) 및 주변회로 영역(B)로 나눈다. 상기 반도체 기판(100) 상에 하부층간절연막(102)을 형성한다. 상기 하부층간절연막(102)은 실리콘 산화막 계열의 물질로 이루어질 수 있다. 상기 셀 어레이 영역(A)에서 상기 하부층간절연막(102)을 패터닝하여 상기 반도체 기판(100)을 노출시키는 콘택홀(104)을 형성한다.
- <25> 도 4 및 도 5를 참조하면, 상기 콘택홀(104)이 형성된 상기 반도체 기판(100)의 전면 상에 제 1 도전막을 콘포말하게 적층하여 상기 콘택홀(104)을 채운다. 상기 제 1 도전막을 패터닝하여 상기 셀 어레이 영역(A)에는 상기 콘택홀(104)을 채우는 매몰콘택플러그(106a 또는 106b)를 형성하는 동시에 상기 주변회로 영역(B)에는 상기 하부층간절연막(102)을 일부 덮는 저항소자(108)를 형성한다. 이때, 상기 매몰콘택플러그(106a 또는 106b)는 도 5의 참조번호 106b와 같이 상기 콘택홀(104)에만 남거나 또는 도 4의 참조번호 106a와 같이 상기 콘택홀(104) 밖으로 돌출되어 상기 하부층간절연막(102)을 일부 덮도록 형성될 수 있다. 상기 제 1 도전막은 불순물이 도핑된 폴리실리콘으로 형성할 수 있으며 약 1500Å의 두께를 갖을 수 있다. 이때 상기 불순물의 도핑 농도를 조절하여 상기 저항소자(108)의 저항을 조절할 수 있다. 도 6 내지 도 10에서는 도 4의 상태에 이어서 설명한다.

<26> 도 6을 참조하면, 상기 저항소자(108) 및 도 4의 매물콘택플러그(106a)가 형성된 상기 반도체 기판(100)의 전면 상에 콘포말하게 제 1 식각 저지막(110)을 적층한다. 상기 제 1 식각 저지막(110)은 바람직하게는 실리콘질화막으로 형성되며 150Å의 두께를 갖을 수 있다. 상기 제 1 식각 저지막(110) 상에 제 1 층간절연막(112)을 적층하고 상부를 평탄화한다. 이때 상기 제 1 층간절연막(112)은 바람직하게는 HDP(High density plasma) 산화막으로 형성되며 2000Å의 두께를 갖을 수 있다.

<27> 도 7을 참조하면, 상기 제 1 층간절연막(112)과 상기 제 1 식각저지막(110)을 차례로 패터닝하여 상기 셀 어레이 영역(A)에서 상기 매물콘택플러그(104)를 노출시키는 제 1 패드콘택홀(113a)을 형성하는 동시에 상기 주변회로 영역(B)에서 상기 저항소자(108)를 노출시키는 제 2 패드콘택홀(113b)을 형성한다. 상기 제 1 및 제 2 패드콘택홀들(113a, 113b)이 형성된 상기 반도체 기판(100)의 전면상에 콘포말하게 금속막(114)을 바람직하게는 85Å의 두께로 적층한다. 상기 금속막(114)은 티타늄(Ti), 탄탈륨(Ta), 코발트(Co) 및 니켈(Ni)을 포함하는 그룹에서 선택되는 하나의 금속으로 이루어질 수 있다. 상기 금속막(114)이 적층된 상태에서 금속 열처리 공정을 바람직하게는 650℃의 온도에서 15초 동안 진행하여 상기 금속막(114)과 상기 저항소자(108)의 사이의 경계 및 상기 금속막(114)과 상기 매물콘택플러그(106a)의 사이의 경계에 금속 실리사이드로 이루어지는 오믹층(115)을 형성한다. 상기 금속막(114)은 스퍼터링(Sputtering)과 같은 PVD(Physical vapor deposition) 방법에 의해 형성될 수 있다. 또는 상기 금속막(114)은 CVD(Chemical vapor deposition) 방법에 의해 형성될 수 있다. 이때 CVD 증착온도는 650℃가 될 수 있으며 금속막(114)이 CVD 방법에 의해 증착됨과 동시에 상기 금속 열처리 공정 없이 상기 경계들에 오믹층(115)이 형성될 수 있다. 상기 오믹층(115) 및 상기 금속막(114) 상에 제 1 접착막(116)을 바람직하게는 티타늄질화막으로 250Å 두께를 갖도록 형성한다

. 제 2 도전막을 증착하여 바람직하게는 2000Å 두께로 증착하여 상기 제 1 및 제 2 패드콘택홀들(113a, 113b)을 채운다. 상기 제 2 도전막, 상기 제 1 접착막(116), 및 상기 금속막(114)에 대하여 평탄화공정을 진행하여 상기 제 1 층간절연막(112)을 노출시키는 동시에 상기 제 1 및 제 2 패드콘택홀들(113a, 113b)에 각각 상기 제 2 도전막으로 이루어지는 제 1 및 제 2 패드콘택플러그들(118a, 118b)을 형성한다. 상기 제 2 도전막은 텅스텐, 구리 및 알루미늄을 포함하는 그룹에서 선택되는 하나의 금속으로 형성될 수 있다.

<28> 도 8과 도 9에서 통상의 방법을 이용하여 실린더형의 커패시터를 형성한다.

<29> 도 8을 참조하면, 제 1 및 제 2 패드콘택플러그들(118a, 118b)이 형성된 상기 반도체 기판(100)의 전면 상에 제 2 식각저지막(120) 및 주형막(mold layer, 124)을 차례로 형성한다. 상기 제 2 식각저지막(120)은 바람직하게는 실리콘질화막으로 500Å의 두께로 형성될 수 있다. 도시하지는 않았지만, 상기 제 2 식각저지막(120) 상에 습식식각저지막을 탄탈륨산화막으로 90Å의 두께로 형성할 수 있다. 상기 습식 식각저지막은 후속으로 상기 주형막을 습식식각으로 제거할때, 식각저지의 역할을 할 수 있다. 상기 주형막(124)은 BPSG(Boron Phosphorus Silicate Glss) 또는 PETEOS(plasma enhanced tetraethyl orthosilicate, $\text{Si}(\text{OC}_2\text{H}_5)_4$)의 단일 막 또는 둘의 이중막으로 형성될 수 있다. 상기 주형막(124)이

BPSG와 PETEOS의 이중막으로 형성될 경우 BPSG의 두께는 5000 Å, PETEOS의 두께는 12000 Å일 수 있다. 상기 셀 어레이 영역(A)에서 상기 주형막(124) 및 상기 제 2 식각저지막(120)을 차례로 패터닝하여 상기 제 1 패드콘택플러그(118a)를 노출시키는 스토리지노드홀(126)을 형성한다. 상기 스토리지노드홀(126)의 프로파일을 따라 콘포말하게 하부전극막(128)을 적층하고, 희생막(130)을 적층하여 상기 스토리지노드홀(126)을 채운다. 상기 하부전극막(128)은 바람직하게는 티타늄질화막으로 CVD 방법을 이용하여 300 Å의 두께로 형성될 수 있다. 상기 희생막(130)은 HSQ(Hydrogen Silsesquioxane) 또는 USG(Undoped Silicate Glass)으로 형성할 수 있다.

<30> 도 9을 참조하면, 상기 희생막(130) 및 상기 하부전극막(128)에 대하여 평탄화공정을 진행하여 상기 주형막(124) 상의 상기 희생막(130) 및 상기 하부전극막(128)을 제거하여 상기 주형막(124)을 노출시키는 동시에 상기 스토리지노드홀(126) 안에 하부전극(128a) 및 희생막 패턴(미도시)을 형성한다. 상기 희생막 패턴을 습식식각으로 제거한다. 상기 주형막(124)을 습식식각으로 제거하여 상기 제 2 식각 저지막(120)을 통해 상기 제 1 패드콘택플러그와 전기적으로 접속하되 실린더 모양을 갖는 하부전극(128a)을 완성한다. 상기 주형막(124)은 NH_4F 와 탈이온수를 포함하는 용액을 이용하여 제거될 수 있다. 상기 하부전극(128)의 프로파일을 따라 유전막(130) 및 상부전극막(132)을 콘포말하게 적층한다. 상기 유전(130)막은 바람직하게는 hafnium 산화막(HfO_M)으로 형성할 수 있다. 상기 상부전

극막(132)은 바람직하게는 티타늄질화막으로 400Å의 두께로 형성할 수 있다. 도시하지는 않았지만, 상기 상부전극막(132)을 보호하기 위하여 상기 상부전극(132) 상에 텅스텐으로 캐핑막을 1000Å의 두께로 증착할 수 있다. 패터닝 과정을 통해 상기 주변회로 영역(B)에서 적어도 상기 상부전극막(132)을 제거한다. 이로써, 상기 셀 어레이 영역(A)에서 상기 하부전극(128a), 유전막(130) 및 상부전극(132)으로 이루어지는 커패시터를 완성할 수 있다.

<31> 도 10을 참조하면, 상기 커패시터 및 상기 제 2 식각저지막(120)을 덮도록 제 2 층간절연막(134)을 적층한다. 상기 제 2 층간절연막(134)은 HDP와 같은 산화막 계열의 물질로 바람직하게는 26000Å의 두께로 형성될 수 있다. 상기 주변회로 영역(B)에서 상기 제 2 층간절연막(134) 및 상기 제 2 식각저지막(120)을 패터닝하여 상기 제 2 패드콘택플러그(118b)를 노출시키는 메탈콘택홀(136)을 형성한다.

<32> 후속공정으로 도 2를 참조하면, 상기 메탈콘택홀(136)의 측벽을 덮는 제 2 접착막(138)을 형성하고, 제 3 도전물질로 상기 메탈콘택홀(136)을 채워 메탈콘택플러그(140)를 완성한다. 이때, 상기 제 2 접착막은 티타늄질화막으로 MOCVD(Metal organic chemical vapor deposition) 또는 ALD(Atomic layer deposition) 방법에 의해 형성될 수 있다. 상기 제 2 접착막이 MOCVD로 형성될 경우 공정온도는 바람직하게는 300~400℃이며, ALD로 형성될 경우 공정온도는 바람직하게는 450~550℃이다.

<33> 상기 방법에 따르면, 커패시터를 형성하기 전에 미리 오믹층을 형성함으로써, 커패시터를 형성한 후 600℃ 이상의 높은 공정온도를 필요로 하지 않으므로 커패시터의 누설전류의 증가를 방지할 수 있다.

【발명의 효과】

<34> 상기 반도체 소자 및 그 형성 방법에 따르면, 저항소자의 일부분과 접속하는 차례로 적층된 오믹층과, 메탈콘택플러그에 비해 단차가 매우 낮은 패드콘택플러그가 형성되므로, 후속 공정에서 셀 어레이 영역에서 커패시터와 같은 여러 소자를 형성한 다음에 주변회로 영역에서 메탈콘택플러그를 형성하더라도 셀 어레이 영역의 여러 소자들이 열화되지 않는다. 또한, 주변회로의 저항소자와 셀 어레이 영역의 매몰콘택플러그가 동일한 물질로 동시에 형성되므로 공정이 단순해질 수 있다.

【특허청구범위】

【청구항 1】

셀 어레이 영역과 주변회로 영역을 구비하는 반도체 기판;

상기 반도체 기판을 덮는 하부층간절연막;

상기 셀 어레이 영역에서 상기 하부층간절연막을 관통하여 상기 반도체 기판과 전기적으로 접속하는 매몰콘택플러그;

상기 주변회로 영역에서 상기 하부층간절연막 상에 형성된 저항소자;

상기 매몰콘택플러그, 상기 저항소자 및 상기 하부층간절연막을 덮는 제 1 층간절연막;

상기 셀 어레이 영역에서 상기 제 1 층간절연막을 관통하여 상기 매몰콘택플러그와 전기적으로 접속하는 제 1 패드콘택플러그;

상기 주변회로 영역에서 상기 제 1 층간절연막을 관통하여 상기 저항소자와 전기적으로 접속하는 제 2 패드콘택플러그;

상기 제 1 패드콘택플러그와 상기 매몰콘택플러그 사이 및 상기 제 2 패드콘택플러그와 상기 저항소자 사이에 각각 개재된 오믹층;

상기 셀 어레이 영역에서 상기 제 1 패드콘택플러그와 전기적으로 접하며 하부전극, 유전막 및 상부전극을 구비하는 커패시터;

상기 커패시터 및 상기 제 1 층간절연막을 덮는 제 2 층간절연막; 및

상기 주변회로 영역에서 상기 제 1 층간절연막을 관통하여 상기 제 2 패드콘택플러그와 전기적으로 접하는 메탈콘택플러그를 구비하는 반도체 소자.

【청구항 2】

제 1 항에 있어서,

상기 매몰콘택플러그와 상기 저항소자는 동일한 물질로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 3】

제 2 항에 있어서,

상기 동일한 물질은 불순물이 도핑된 폴리실리콘인 것을 특징으로 하는 반도체 소자.

【청구항 4】

제 1 항에 있어서,

상기 제 1 층간절연막과 상기 제 2 층간절연막 사이에 개재된 식각저지막을 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제 1 항에 있어서,

상기 오믹층은 티타늄실리사이드(TiSi_x), 탄탈륨실리사이드(TaSi_y), 코발트실리사이드(CoSi_z) 및 니켈실리사이드(NiSi_w)를 포함하는 그룹에서 선택되는 하나로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 6】

제 1 항에 있어서,

상기 제 1 패드콘택플러그와 상기 제 1 층간절연막 및 상기 매몰콘택플러그의 사이, 및
상기 제 2 패드콘택플러그와 상기 제 1 층간절연막 및 상기 저항소자의 사이에 각각 개재된 제
1 접착막; 및

상기 메탈콘택플러그와 상기 제 1 층간절연막 및 상기 메탈콘택플러그 사이에 개재된 제
2 접착막을 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 7】

제 6 항에 있어서,

상기 제 1 접착막 및 제 2 접착막은 티타늄질화막(TiN)으로 이루어지는 것을 특징으로
하는 반도체 소자.

【청구항 8】

제 1 항에 있어서,

상기 제 1 및 제 2 패드콘택플러그들 및 상기 메탈콘택플러그는 텅스텐(W), 알루미늄
(Al) 및 구리(Cu)를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어지는 것을 특징
으로 하는 반도체 소자.

【청구항 9】

반도체 기판에 셀 어레이 영역 및 주변회로 영역을 한정하는 단계;

상기 반도체 기판에 하부층간절연막을 적층하는 단계;

상기 하부층간절연막을 패터닝하여 상기 셀 어레이 영역에 반도체 기판을 노출시키는 콘
택홀을 형성하는 단계;

상기 콘택홀이 형성된 상기 반도체 기판 상의 전면에서 제 1 도전막을 적층하여 상기 콘택홀을 채우는 단계;

상기 제 1 도전막을 패터닝하여 상기 셀 어레이 영역에 상기 콘택홀을 채우는 매몰콘택 플러그를 형성하는 동시에 상기 주변회로 영역에 상기 하부층간절연막 상에 저항소자를 형성하는 단계;

상기 매몰콘택플러그 및 상기 저항소자가 형성된 반도체 기판을 덮는 제 1 층간절연막을 형성하는 단계;

상기 제 1 층간절연막을 패터닝하여 상기 매몰콘택플러그를 노출시키는 제 1 패드콘택홀을 형성하는 동시에 상기 저항소자를 부분적으로 노출시키는 제 2 패드콘택홀을 형성하는 단계;

상기 제 1 및 제 2 패드콘택홀들의 적어도 바닥을 덮도록 오믹층(ohmic layer)을 형성하는 단계;

제 2 도전막을 적층하여 상기 제 1 및 제 2 패드콘택홀들을 채우는 단계;

상기 제 2 도전막에 대하여 평탄화 공정을 실시하여 상기 제 1 층간절연막을 노출시키는 동시에 상기 제 1 및 제 2 패드콘택홀들 안에 제 2 도전막으로 이루어지는 제 1 및 제 2 패드콘택플러그들을 각각 형성하는 단계;

상기 제 1 및 제 2 패드콘택플러그들 및 상기 제 1 층간절연막을 덮는 식각 저지막을 형성하는 단계;

상기 식각 저지막을 관통하여 상기 제 1 패드콘택플러그와 전기적으로 접속하되 하부전극, 유전막, 및 상부전극을 구비하는 커패시터를 형성하는 단계;

상기 반도체 기판의 전면 상에 제 2 층간절연막을 적층하는 단계;

상기 주변회로 영역에서 상기 제 2 층간절연막을 패터닝하여 상기 제 2 패드콘택플러그를 노출시키는 메탈콘택홀을 형성하는 단계; 및

제 3 도전막으로 상기 메탈콘택홀을 채워 메탈콘택플러그를 형성하는 단계를 구비하는 반도체 소자의 형성 방법.

【청구항 10】

제 9 항에 있어서,

상기 제 2 층간절연막을 형성하기전에 식각저지막을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 11】

제 9 항에 있어서,

상기 제 1 도전막은 불순물이 도핑된 폴리실리콘으로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 12】

제 9 항에 있어서,

상기 오믹층을 형성하는 단계는,

적어도 상기 패드콘택홀의 적어도 바닥을 덮는 금속막을 형성하는 단계;

상기 금속막에 대하여 급속 열처리 공정을 실시하여 상기 저항소자와 상기 금속막의 경계에 오믹층을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

**【청구항 13】**

제 12 항에 있어서,

상기 급속열처리 공정은 600~900℃ 온도에서 10~30초 동안 진행되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 14】

제 9 항에 있어서,

상기 오믹층은 티타늄실리사이드(TiSi_x), 탄탈륨실리사이드(TaSi_y), 코발트실리사이드(CoSi_z) 및 니켈실리사이드(NiSi_w)를 포함하는 그룹에서 선택되는 하나로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 15】

제 9 항에 있어서,

상기 제 2 도전막을 적층하기 전에, 상기 패드콘택홀의 측벽과 바닥을 덮는 제 1 접착막을 형성하는 단계; 및

상기 제 3 도전막을 적층하기 전에, 상기 메탈콘택홀의 측벽과 바닥을 덮는 제 2 접착막을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 16】

제 15 항에 있어서,

상기 제 1 및 제 2 접착막은 티타늄질화막(TiN)으로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.



【청구항 17】

제 9 항에 있어서,

상기 제 2 도전막 및 상기 제 3 도전막은 텅스텐(W), 알루미늄(Al) 및 구리(Cu)를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 18】

제 9 항에 있어서,

상기 커패시터를 형성하는 단계는,

상기 식각 저지막 상에 주형막(mold layer)을 형성하는 단계;

상기 셀 어레이 영역에서 상기 주형막 및 상기 식각 저지막을 차례대로 패터닝하여 상기 제 1 패드콘택플러그를 노출시키는 스토리지 노드홀을 형성하는 단계;

상기 스토리지 노드홀이 형성된 상기 반도체 기판의 전면 상에 하부전극막을 콘포말하게 형성하는 단계;

상기 하부전극막 상에 희생막을 적층하여 상기 스토리지 노드홀을 채우는 단계;

평탄화 공정으로 상기 주형막 상의 하부전극막 및 희생막을 제거하여 상기 스토리지 노드홀 안에 하부전극 및 희생막 패턴을 남기는 단계;

상기 희생막 및 상기 주형막을 제거하여 하부전극을 남기는 단계;

상기 하부전극이 형성된 상기 반도체 기판 상에 유전막 및 상부전극막을 콘포말하게 적층하는 단계; 및



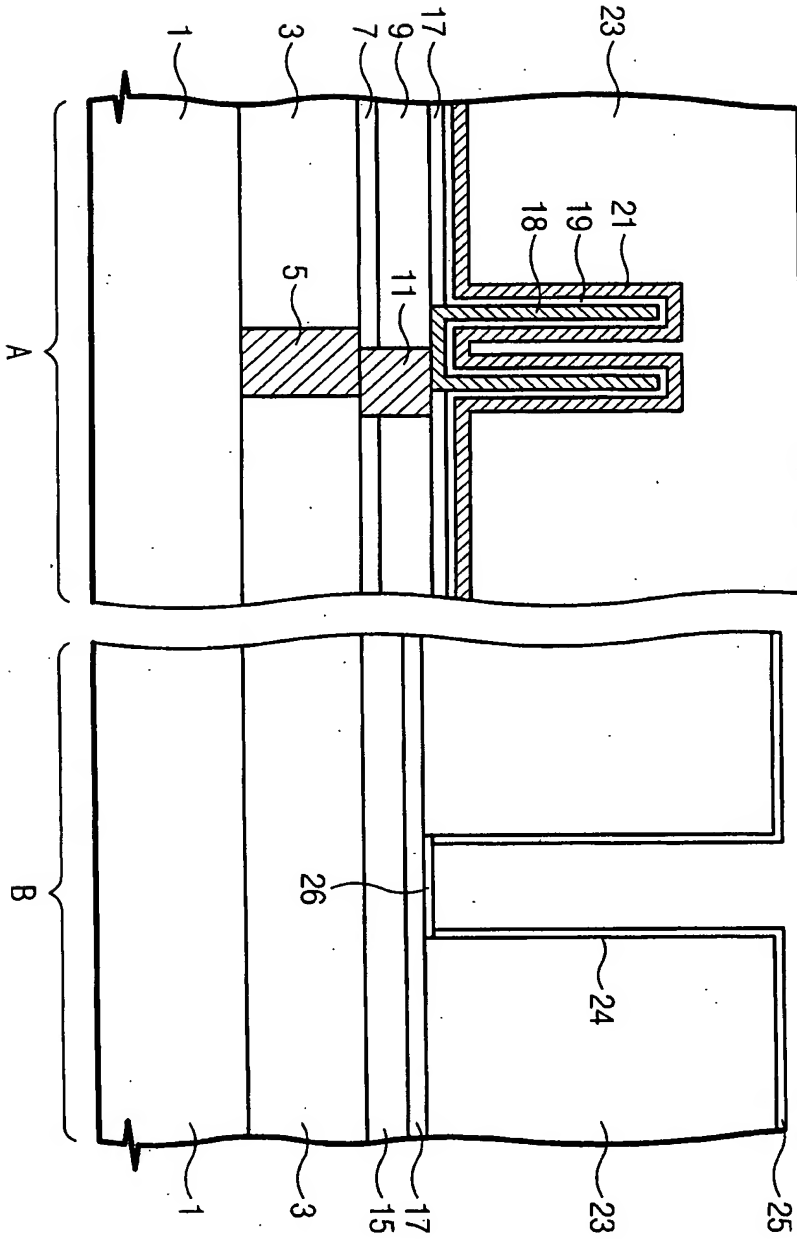
1020030027556

출력 일자: 2003/10/23

상기 주변회로 영역에서 적어도 상기 상부전극막을 제거하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

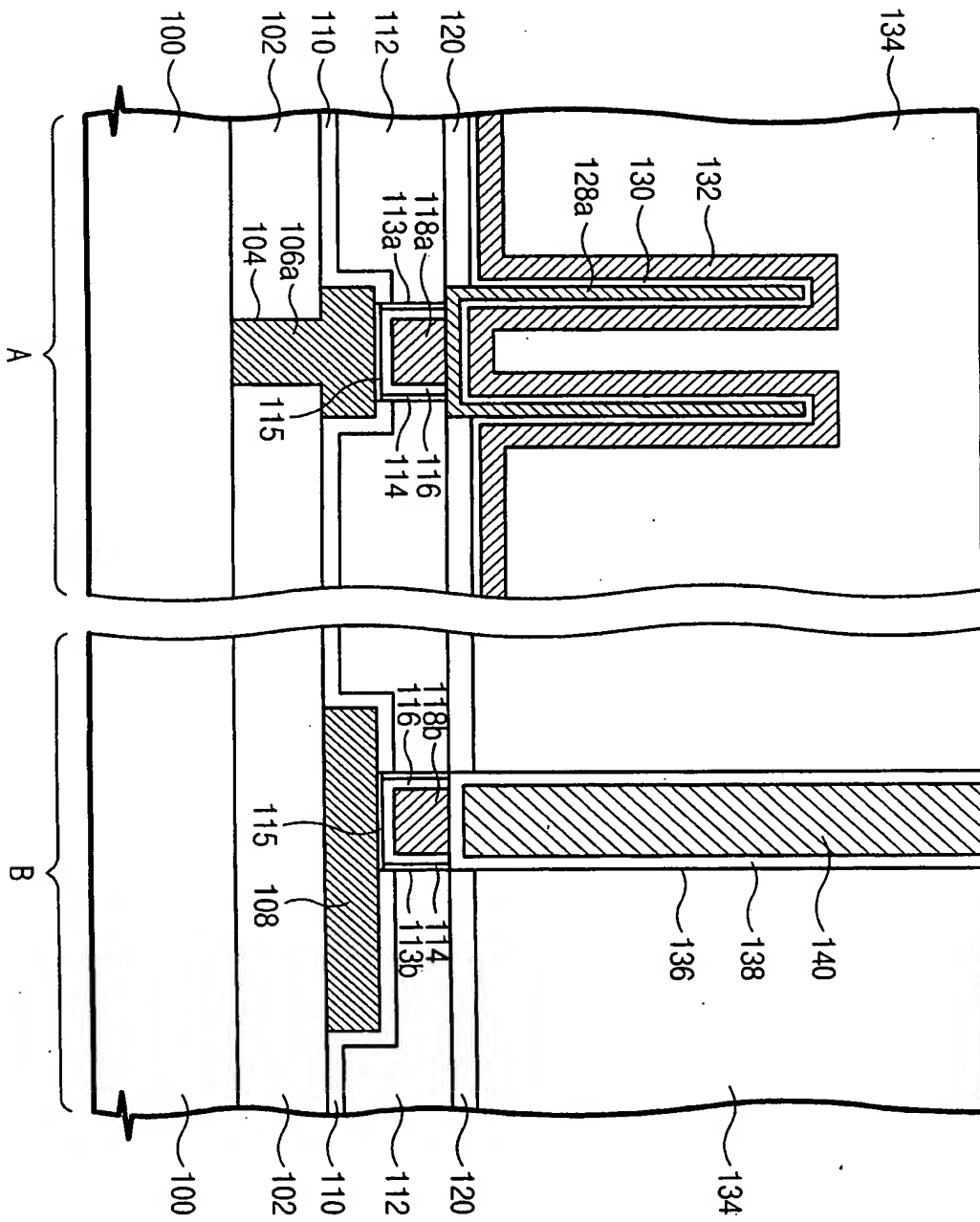
【도면】

【도 1】

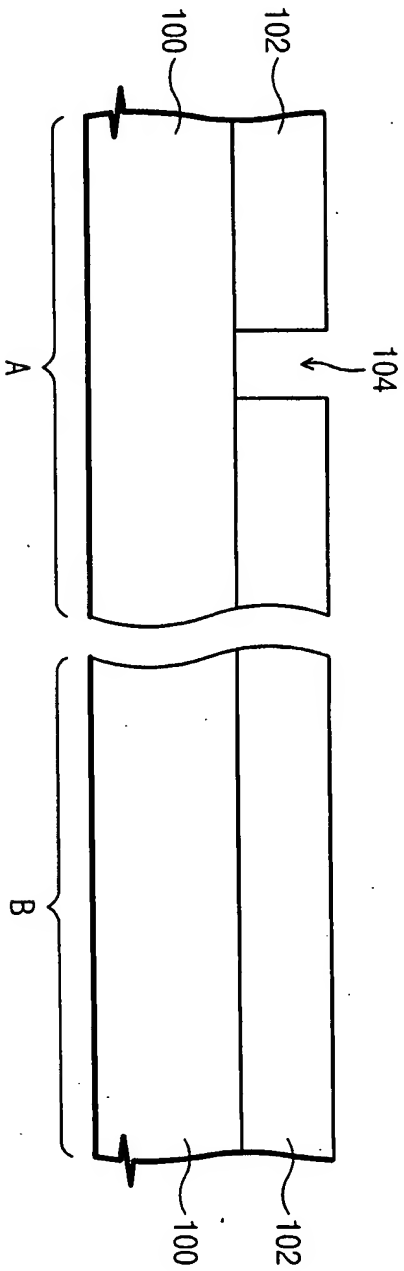


(종래 기술)

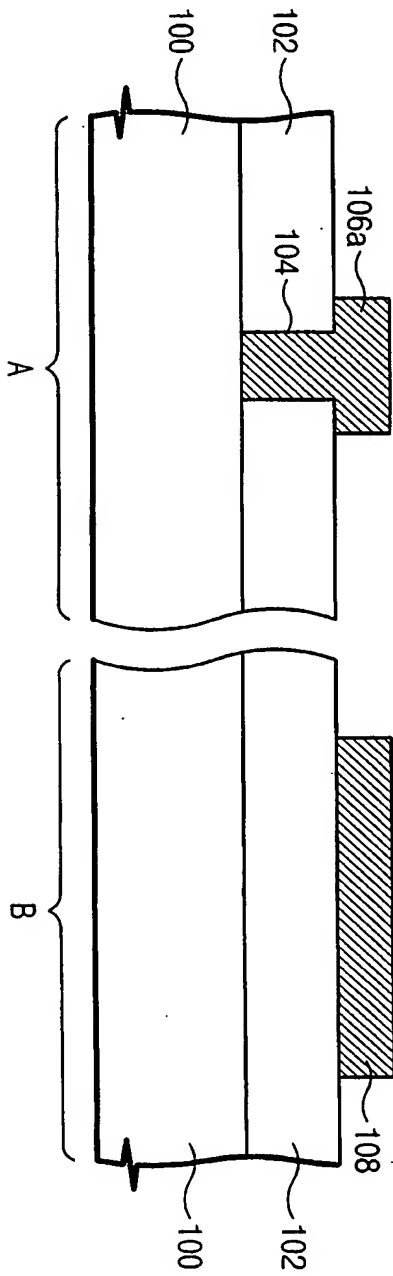
【도 2】



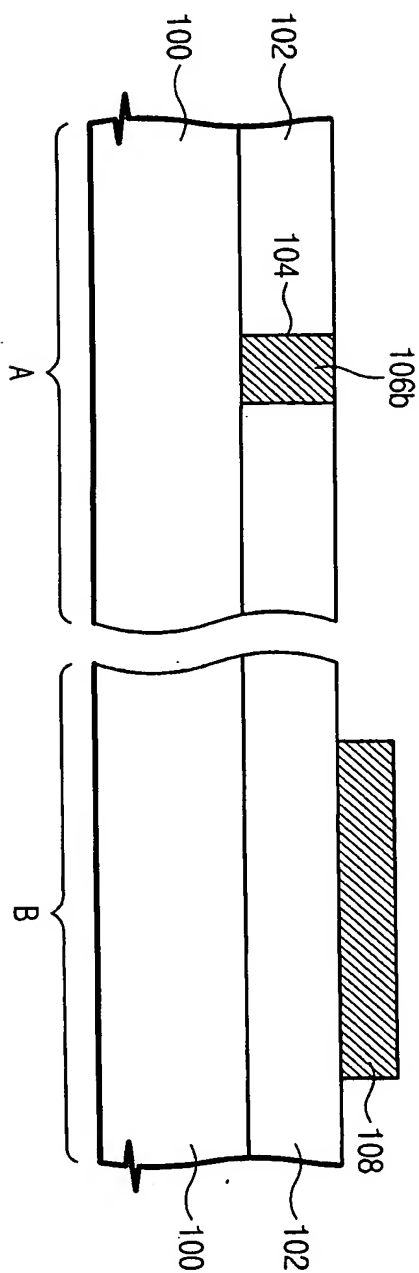
【도 3】



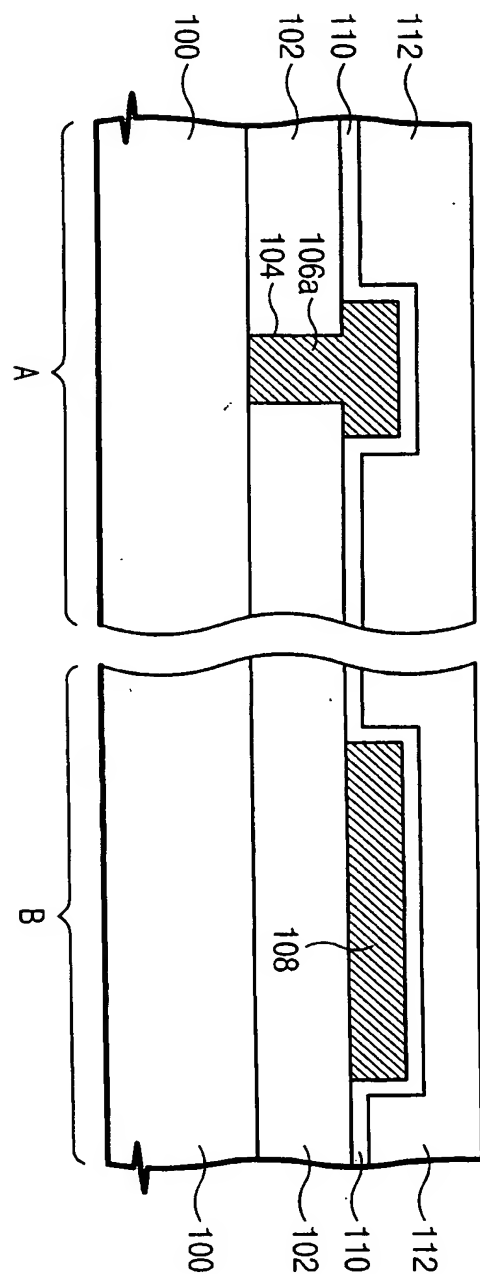
【도 4】



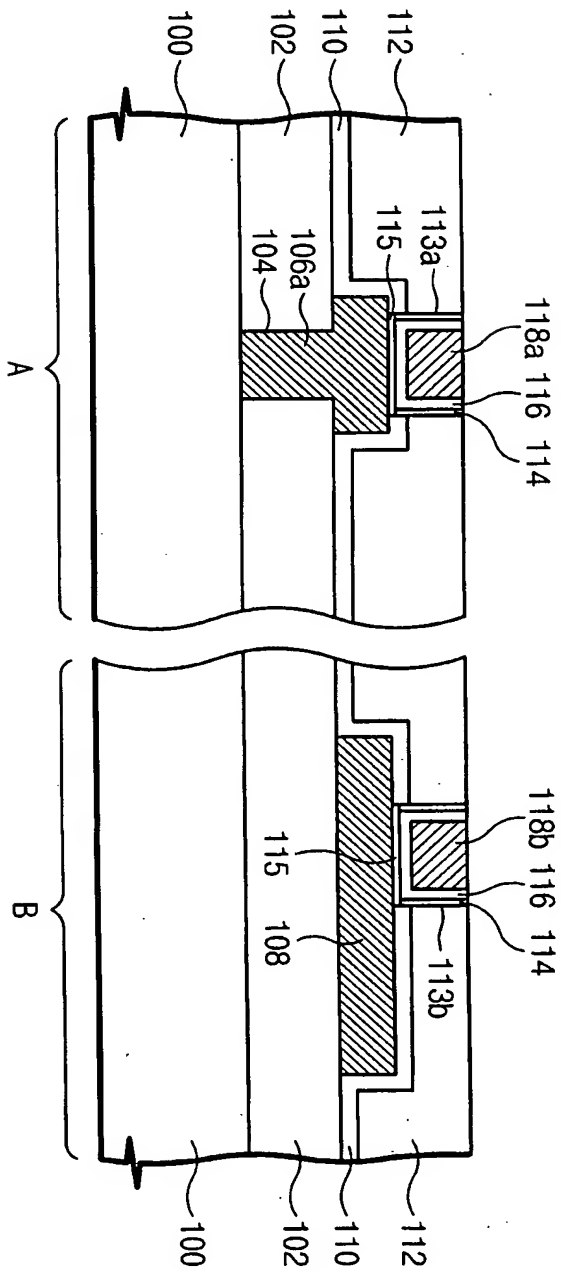
【도 5】



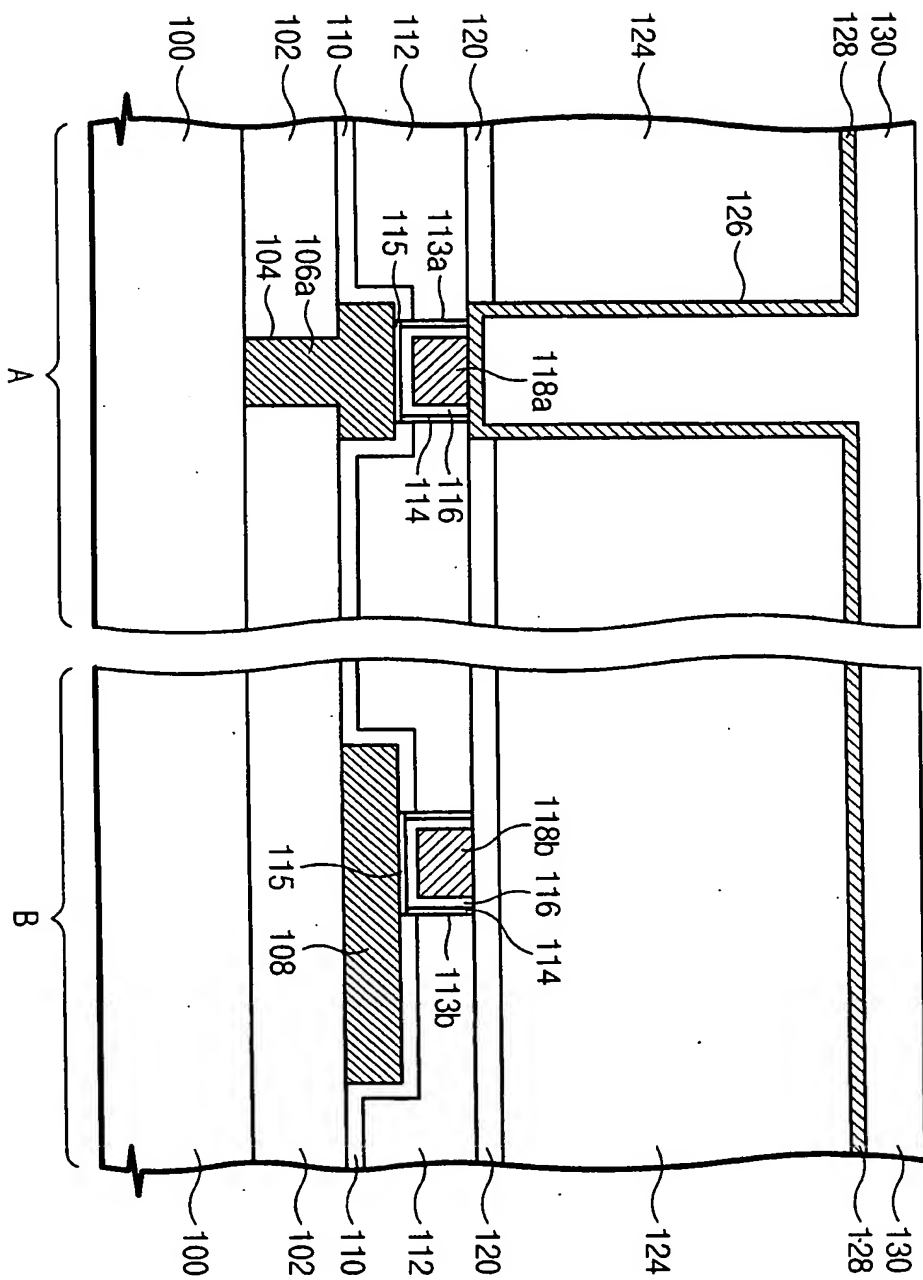
【도 6】



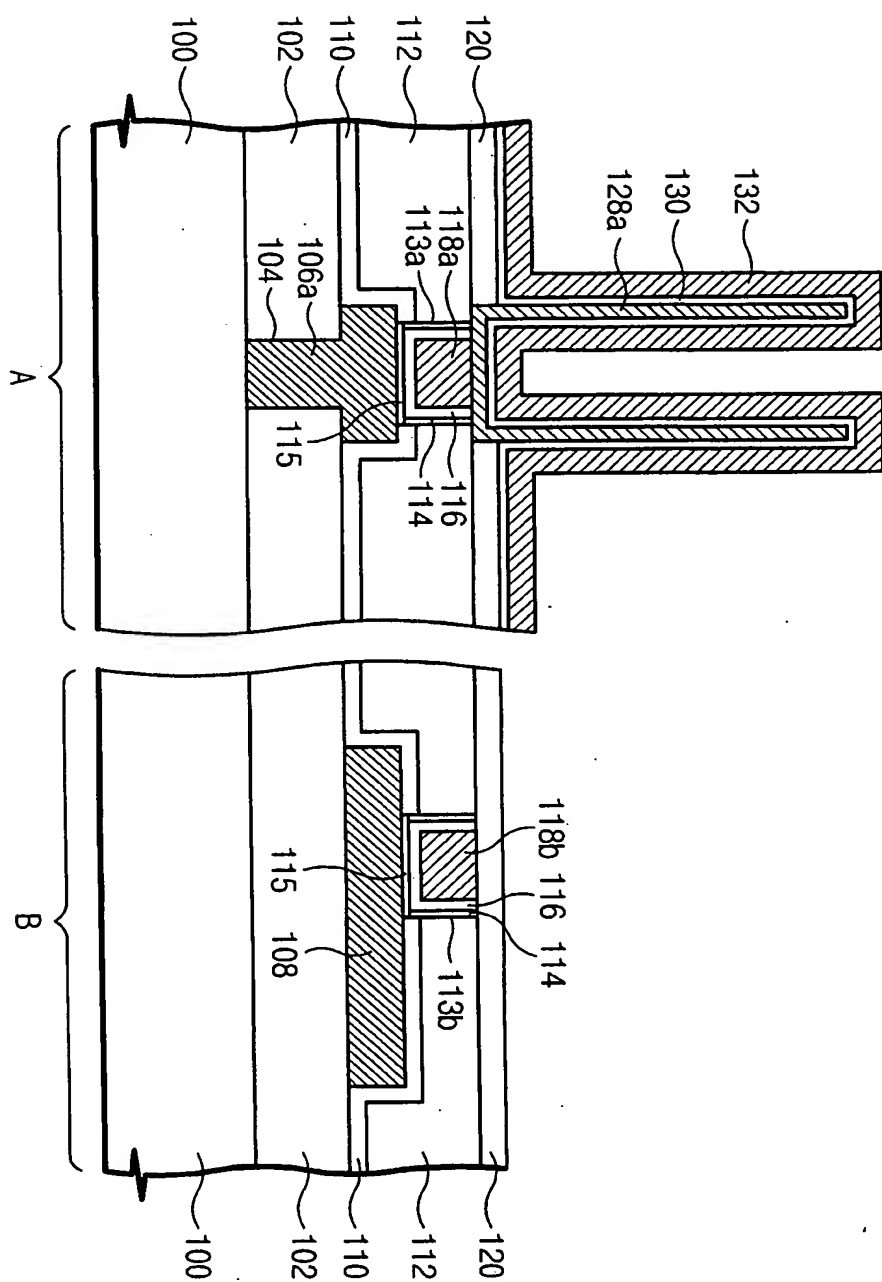
【도 7】



【도 8】



【도 9】



[illegible]